

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-230736

(43)Date of publication of application : 19.08.1994

(51)Int.Cl. G09G 1/00
G09G 1/04
H04N 3/18

(21)Application number : 05-236564

(71)Applicant : PHILIPS ELECTRON NV

(22)Date of filing : 22.09.1993

(72)Inventor : STESSEN JEROEN H
MCCORMACK JAMES J A

(30)Priority

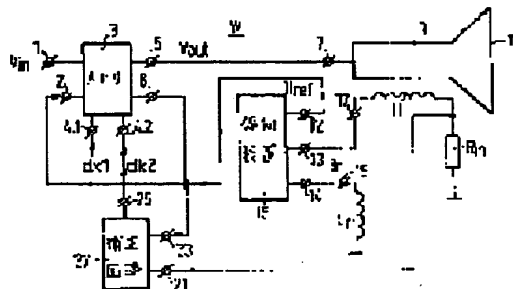
Priority number : 92 92202900 Priority date : 22.09.1992 Priority country : EP

(54) DISPLAY DEVICE AND CORRECTING CIRCUIT USED FOR SAME

(57)Abstract:

PURPOSE: To provide the display device which has the accurate, inexpensive, and simple correcting circuit that corrects a position error.

CONSTITUTION: The display device W is provided with a waveform generator which generates a reference signal I_{ref} , and this reference signal I_{ref} is passed through the same signal path with a video signal V_{in} to correct variation in delay, etc. The video signal V_{in} and reference signal I_{ref} are both stored in a memory, 3 under the control of the correcting circuit 27 and also read out of the memory 3. At input terminals 23 and 21 of the correcting circuit 27, the reference signal delayed by the memory 3 and a signal relating to actual line deflection are received. On the basis of those input signals, the correcting circuit 27 supplies the memory, with a read clock signal $clk2$. Consequently, the deflection signal and video signal V_{in} always match each other, and a position error is corrected.



LEGAL STATUS

[Date of request for examination] 19.09.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-230736

(43)公開日 平成6年(1994)8月19日

(51)Int.Cl.⁵

G 0 9 G 1/00

1/04

H 0 4 N 3/18

識別記号

K 9060-5G

9060-5G

Z 7337-5C

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数5 OL (全 7 頁)

(21)出願番号 特願平5-236564

(22)出願日 平成5年(1993)9月22日

(31)優先権主張番号 92202900:4

(32)優先日 1992年9月22日

(33)優先権主張国 オランダ (NL)

(71)出願人 592098322

フィリップス エレクトロニクス ネムローゼ フェンノートシャップ

PHILIPS ELECTRONICS
NEAMLOZE VENNOOTSHAP

オランダ国 5621 ベーアー アイन्दー
フェン フルーネヴァウツウェッハ 1

(72)発明者 イエルン フベルト ステッセン

オランダ国 5621 ベーアー アイन्दー
フェン フルーネヴァウツウェッハ 1

(74)代理人 弁理士 杉村 暁秀 (外5名)

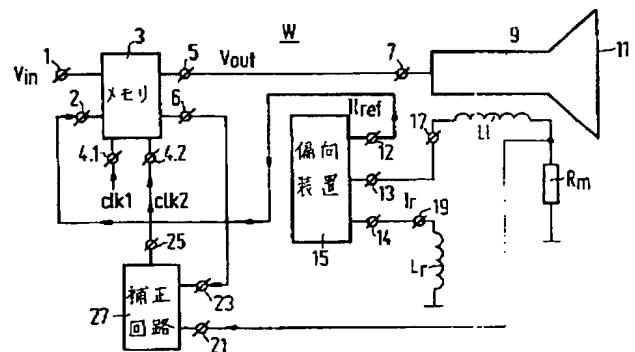
最終頁に続く

(54)【発明の名称】 表示装置及びそれに用いる補正回路

(57)【要約】

【目的】 正確、廉価かつ簡単な位置誤差を補正する補正回路を有する表示装置を提供する。

【構成】 表示装置Wに基準信号 I_{ref} を発生させる波形発生器を設けて、この基準信号 I_{ref} をビデオ信号 V_{in} と同一の信号路に通すことにより、遅延等の変動を補正できる。ビデオ信号 V_{in} と基準信号 I_{ref} 双方を、補正回路27の制御の下でメモリ3に記憶し、かつ、メモリ3から読み出す。補正回路27の入力端子23,21は、メモリ3により遅延された基準信号及び実際のライン偏向に関連する信号を受信する。これらの入力信号を基準にして、補正回路27はメモリ3に読み出しクロック信号 $clk2$ を供給する。その結果、偏向信号とビデオ信号 V_{in} とは常に互いに一致して位置誤差が補正される。



【特許請求の範囲】

【請求項1】 ビデオ情報を表示する表示管と、少なくとも1個のライン偏向コイル及び少なくとも1個のフィールド偏向コイルと、ライン偏向信号を前記ライン偏向コイルに供給する第1の出力端子及びフィールド偏向信号を前記フィールド偏向コイルに供給する第2の出力端子を有する偏向装置と、第1クロック信号の制御の下で前記ビデオ情報を受信及び記憶する入力端子と、変調可能な第2クロック信号の制御の下で前記表示管に供給する前記ビデオ情報を読み取る出力端子とを有するメモリと、ライン偏向電流に関連する入力信号を受信する入力端子、前記メモリに供給する前記第2クロック信号を発生させる変調可能なクロック発生器及び前記第2クロック信号を前記メモリに供給する出力端子を有し、前記表示管のビデオ情報の表示上の位置誤差を補正する補正回路とを具える表示装置において、前記ライン偏向信号に関連する基準信号を発生させる波形発生器を含み、前記メモリは、前記第1クロック信号の制御の下で前記基準信号を記憶し、かつ、前記第2クロック信号の制御の下で前記メモリから前記第2クロック信号で変調された前記基準信号を読み出すセクションを有し、この変調された基準信号を第2入力信号として前記補正回路に供給することを特徴とする表示装置。

【請求項2】 前記補正回路は、前記二つの入力信号に依存した制御信号を変調可能なクロック発生器に供給するように構成することを特徴とする請求項1記載の表示装置。

【請求項3】 前記補正回路は、前記二つの入力信号を受信する2個の入力端子及び前記変調可能なクロック発生器に前記制御信号を供給する出力端子を有する差動増幅器を具えることを特徴とする請求項2記載の表示装置。

【請求項4】 前記波形発生器は前記フィールド偏向信号も発生するように構成し、このフィールド偏向信号を、前記第1クロック信号の制御の下で前記メモリの追加の入力端子を介して前記メモリに書き込むとともに前記第2クロック信号に変調すると同時に前記メモリから読み出し、前記フィールド偏向コイルに供給するようにしたことを特徴とする請求項1、2又は3記載の表示装置。

【請求項5】 請求項1、2、3又は4記載の表示装置に用いる補正回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、ビデオ情報を表示する表示管と、少なくとも1個のライン偏向コイル及び少なくとも1個のフィールド偏向コイルと、ライン偏向信号

を前記ライン偏向コイルに供給する第1の出力端子及びフィールド偏向信号を前記フィールド偏向コイルに供給する第2の出力端子を有する偏向装置と、第1クロック信号の制御の下で前記ビデオ情報を受信及び記憶する入力端子と、変調可能な第2クロック信号の制御の下で前記表示管に供給する前記ビデオ情報を読み取る出力端子とを有するメモリと、ライン偏向電流に関連する入力信号を受信する入力端子、前記メモリに供給する前記第2クロック信号を発生させる変調可能なクロック発生器及び前記第2クロック信号を前記メモリに供給する出力端子を有し、前記表示管のビデオ情報の表示上の位置誤差を補正する補正回路とを具える表示装置に関するものである。本発明はまた、表示装置に用いる補正回路に関するものである。

【0002】

【従来の技術】 この種の表示装置及び補正回路は米国特許明細書第4,673,986号から既知である。この既知の表示装置では幾何学的モデルを幾何学的に補正するのに用い、この補正を行うに当たり、ライン偏向電流に関連する信号を第1の入力端子にて受信し、かつ、偏向装置によって発生したフィールド偏向信号を第2の入力端子にて受信する。この幾何学的モデルは、これらの入力信号を基準にして幾何学的に補正された偏向信号を決定する。この既知の表示装置では、変調可能なクロック発生器への制御信号を、偏向装置によって発生したライン偏向信号及び幾何学的モデルの出力端子を介して帰還された信号を基準にして決定する。

【0003】

【発明が解決しようとする課題】 (伝送される)ビデオ信号の定義では、画像を、一定速度の書込みスポット(すなわち電子ビームが蛍光層に当たる位置)で直交パターンに走査して表示すると仮定している。理論的には、ライン偏向磁界及びフィールド偏向磁界をそれぞれ、15625 Hz及び50Hzの鋸波状とする。しかしながら、表示管の形状が原因(すなわち表示スクリーンが平面すぎ)で矩形画像を形成できない。この画像は糸巻歪みを受けたものとなり、スポット速度の水平成分及び垂直成分も一定とならない。幾何学的な誤差の他の原因として、1個又は複数個の電子銃の位置(表示スクリーンに非常に近すぎるすなわち表示スクリーンが平面すぎる)、ライン偏向コイル及びフィールド偏向コイルの偏向磁界の形状、ブリーディングと称する現象を生ずる高電圧(EHT)の変化に起因する偏向感度の変化及びライン偏向電流とフィールド偏向電流の理想的でない波形がある。したがって画像が幾何学的に歪んだ形状で表示される。

【0004】 スポット速度の一致は、ライン偏向電流及びフィールド偏向電流を鋸波状とする代わりに正弦波形状とすることにより(常に)改善される。これをS字補正と称する。しかしながら、水平偏向電流は減衰された

正弦波形状を有するので、(非対称な)直線性が補正された状態となる。したがって、常に補正されたままの高次の誤差となる。

【0005】さらに、入来ビデオ信号のライン周波数が変化するので、幾何学的な画像形状が妨害される。水平偏向電流を適合させることによって幾何学的な誤差を補正することは容易でない。実際、非常に高い電圧及び非常に大きな電流がライン偏向コイルに発生し、多大のエネルギーが発生する。その結果、電流の制御が難しくなり、使用する素子が大型となり、高価となり、さらに加熱され、損傷しやすくなる。

【0006】幾何学的な補正の他の方法として、偏向電流を補正するのをやめて、代わりにビデオ信号を適合させる方法があり、この場合補正情報を補正位置に書き込む。水平方向の補正は最も必要かつ簡単であるが、その理由はこの場合情報を1ライン内で移動するだけでよいからである。これをクロック変調と称する。代わりに、新しい画素成分を複数の隣接する画素成分に基づいて算定することができ、これを走査速度変換と称する。

【0007】上述した特許明細書に記載された回路にはクロック変調器を用い、このクロック変調器は、ライン変調信号を無変化(無補正の)形態でライン変調コイルに供給する。ライン偏向に関連する信号を補正回路に供給する。この信号、(ライン)偏向装置の出力端子における信号及びハードウェアの幾何学的モデルを基準にして、補正回路は位置誤差信号を決定する。この位置誤差信号を、入力信号として、クロック発生器に供給し、このクロック発生器が、ビデオ信号をメモリから読み出す速度を決定する。

【0008】この既知の補正回路の欠点は、幾何学的な補正を、二つの入力信号の関数を発生させるアナログ計算回路により実行することである。この補正は、非常に単純な幾何学的な誤差を有する表示管においてのみ可能であり、したがってこれは現実的な解決ではない。この既知の補正回路の他の欠点は、不正確で高価であり、かつ、この補正回路の性能は補正回路の素子に非常に依存するという点である。本発明の目的は特に、上述した欠点を有さない表示装置及び補正回路を提供することである。

【0009】

【課題を解決するための手段】この目的を達成するために、本発明の表示装置は、前記ライン偏向信号に関連する基準信号を発生させる波形発生器を含み、前記メモリは、前記第1クロック信号の制御の下で前記基準信号を記憶し、かつ、前記第2クロック信号の制御の下で前記メモリから前記第2クロック信号で変調された前記基準信号を読み出すセクションを有し、この変調された基準信号を第2入力信号として前記補正回路に供給することを特徴とするものである。

【0010】本発明の利点は特に、複数の大信号素子

(すなわち集積不可能な素子)を小信号素子(すなわち集積可能な素子)に置き換えることができ、その結果コストを減少し、信頼性が高くなり、電力消失が少なくなり、要求される表示装置のスペースが小さくなる。

【0011】小信号解決方法の他の利点は、所要の補正をプログラム制御できるので、この方法はより柔軟性に富むということである。

【0012】本発明の表示装置の実施例では、前記補正回路は、前記二つの入力信号に依存した制御信号を変調可能なクロック発生器に供給するように構成する。

【0013】この実施例の利点は、変調可能なクロック発生器を帰還ループに含むことであり、したがって変調可能なクロック発生器の特性の信頼性に厳格な要求を課す必要がなくなることにある。

【0014】本発明の表示装置の他の実施例では、前記補正回路は、前記二つの入力信号を受信する2個の入力端子及び前記変調可能なクロック発生器に前記制御信号を供給する出力端子を有する差動増幅器を具えるものとする。

【0015】本発明の表示装置の他の実施例では、前記波形発生器は前記フィールド偏向信号も発生するように構成し、このフィールド偏向信号を、前記第1クロック信号の制御の下で前記メモリの追加の入力端子を介して前記メモリに書き込むとともに前記第2クロック信号で変調して前記メモリから読み出し、前記フィールド変調コイルに供給するようにする。一般に、電流増幅器をメモリとフィールド偏向コイルの間に配置する。

【0016】

【実施例】本発明を、以下に示す実施例を参照して詳細に説明する。図1に、入力ビデオ信号 V_{in} を受信する入力端子1を有する表示装置Wを示す。入力ビデオ信号 V_{in} を、例えばYUV信号又はRGB信号としてもよい。この場合入力端子1を、3入力端子とする。メモリ3を入力端子1に接続する。メモリ3は、入力端子4.1に供給される第1クロック信号 $clk1$ の制御の下で(入力)ビデオ信号を記憶する。次に、(出力)ビデオ信号 V_{out} を、入力端子4.2に供給される第2クロック信号 $clk2$ の制御の下で(若干時間後)読み出し、出力端子5に供給する。メモリ3は、例えば二つのラインメモリを具え、この場合、ビデオラインを(第1クロック信号 $clk1$ の制御の下で)一方のラインメモリに書き込むと同時に、前のビデオラインを(第2クロック信号 $clk2$ の制御の下で)もう一方のラインメモリから読み出す。ラインメモリの代わりに、メモリ3は例えばフィールドメモリを具えてもよい。ビデオ情報を、非同期デュアルポートメモリとしてメモリ3を動作させることによって、書き込みと読み出しを同時に行うことができる。メモリ3の出力端子5を、(カラー表示管では3本の)表示管9の制御電極7に結合する。ビデオ信号 V_{out} を、表示管9の表示スクリーン11に表示する。表示管9は、ビデオ信号V

out に依存した強度の1本又は複数本の電子ビームを発生させる。通常、前記1本又は複数本の電子ビームを、ライン偏向コイル L_l 及びフィールド偏向コイル L_f によって偏向する。ライン偏向コイル L_l 及びフィールド偏向コイル L_f を、偏向装置15の出力端子13及び14にそれぞれ結合し、端子17及び19でライン偏向信号及びフィールド偏向信号をそれぞれ受信する。ライン偏向信号及びフィールド偏向信号を、EHTの変化に対して補正することができるが、ここではこれ以上説明しない。

【0017】ライン偏向コイル L_l の端子17の反対側に、測定用抵抗 R_m を結合する。抵抗の代わりに測定用変成器を用いてもよい。ライン偏向コイル L_l と測定用抵抗 R_m との接続点に補正回路27の入力端子21を結合する。ライン偏向回路を図2においてさらに詳しく説明する。

【0018】（出力端子がライン偏向電流の基準信号 I_{ref} を供給する）偏向装置15の出力端子12をメモリ3の第2の入力端子2に結合する。入力端子2における信号を、第1クロック信号 $clk1$ の制御の下でメモリ3に書き込み、その次に第2クロック信号 $clk2$ の制御の下で読み出し、出力端子6に供給する。出力端子6を補正回路27の第2の入力端子23に接続する。補正回路27は（入力端子21及び23における）二つの入力信号を基準にして変調されたクロック信号を決定して発生させ、メモリ3の入力端子4.2における第2クロック信号 $clk2$ として出力端子25にこのクロック信号を供給する。この場合第2クロック信号の変調は必要な幾何学的な補正に依存する。

【0019】多くの場合、第1クロック信号 $clk1$ は、水平同期信号及び垂直同期信号によって制御されるクロック発生器（図1に図示せず）によって発生させる。

【0020】ほとんどの場合偏向装置15は同期信号（水平（ライン）同期信号及び垂直（フィールド）同期信号、図1に図示せず、図2で詳細に説明する。）により制御する。

【0021】図2に、表示装置Wの実施例をさらに詳しく説明する。図1と同一の参照番号を付した構成部分は、対応する機能を有する。

【0022】本実施例では、入力ビデオ信号 V_{in} を通常の三つのR、G及びB成分に分割し、メモリ3はこの場合ビデオ信号を受信する3個の入力端子1.R、1.G及び1.Bを有する。図1と同様に、ビデオ信号 V_{in} を、メモリ3の入力端子4.1に供給する第1クロック信号 $clk1$ の制御の下で書き込む。

【0023】（補正回路27からの）第2クロック信号 $clk2$ の制御の下で、ビデオ情報 V_{out} を読み出すとともに3個の出力端子5.R、5.G及び5.Bに供給し、ビデオ情報を表示管9に表示する。これら3個の出力端子5.R、5.G及び5.Bを表示管9の3個の制御電極7.R、7.G

及び7.Bに接続する。

【0024】表示装置Wは（入力）ビデオ信号 V_{in} だけでなく、水平（ライン）同期信号 H_{sync} 及び垂直（フィールド）同期信号 V_{sync} も受信する。これらの同期信号を偏向装置15に供給する。偏向コイル15は波形発生器15.1を具える。波形発生器15.1は、水平同期信号 H_{sync} 及び垂直同期信号 V_{sync} の制御の下でライン偏向電流の基準信号 I_{ref} を発生させる。基準信号 I_{ref} を、偏向装置15の出力端子12を介してメモリ3の入力端子2に供給する。波形発生器15.1の第2の出力端子はフィールド偏向信号 I_f を発生させる。フィールド偏向信号 I_f を、偏向装置15の出力端子14及び出力増幅器8を介してフィールド偏向コイル L_f の端子19に供給する。波形発生器15.1は例えば、用いられる表示管の型に応じて、表示装置Wに用いる表示管9への理想的な水平偏向信号及び垂直偏向信号を決定する機能を有してもよい。波形発生器15.1はまた、例えば（場合によっては）所要の左右方向の変調をできる。

【0025】水平同期信号 H_{sync} を、第1の位相同期ループ（例えば大きな時定数を有するPLL）15.2にも供給する。第1のPLL15.2の第2の入力端子は、（このループの）出力端子から信号を受信する。第1のPLL15.2の出力端子はさらに、（第1のPLL15.2より小さい時定数を有する）第2のPLL15.3の第1の入力端子に接続し、第2のPLL15.3は、測定用コイル L_m に接続した第2の入力端子を有する。測定用コイル L_m は、接地基準点に接続した他の端子を有する。測定用コイル L_m の代わりに、第2のPLL15.3の第2の入力端子を変成器Tの一次巻線 L_p に接続してもよい。第2のPLL15.3の出力端子を、制御回路15.4を介して偏向装置15の出力端子13に結合する。出力端子13をライン偏向トランジスタTRに接続する。ライン偏向トランジスタTRのエミッタを接地基準点に接続する。ライン偏向トランジスタTRのコレクタを変成器Tの一次巻線 L_p に接続し、変成器Tの一次巻線 L_p は電源Bに接続した他の端子を有する。一次巻線 L_p 及び測定用コイル L_m を例えば同一の鉄心に巻き、第2のPLL15.3の第2の入力信号として帰線信号を得る。

【0026】変成器Tの二次巻線 L_s を、例えば表示管9に要求されるEHTを発生させるのに用いる。EHTを別個に発生させる他の実施例では、通常変成器Tを簡単なコイルに置き換えることができる。

【0027】通常ライン偏向回路では、フリーホイールダイオードD及び帰線キャパシタ C_f をライン偏向トランジスタTRの両端間に接続する。ライン偏向コイル L_l 、帰線キャパシタ C_s （S字補正キャパシタ）及び測定用抵抗 R_m を、ライン偏向トランジスタTRのコレクタと一次巻線 L_p との接続点に直列接続し、一方帰線キャパシタ C_s に接続していない方の測定用抵抗 R_m の端子を接地基準点に接続する。

【0028】ライン偏向コイル L_1 は、例えば2個の別個のコイルを具えてもよく、ライン偏向コイル L_1 を実際上常に表示管9のネックに接続する。簡単のために、本実施例ではライン偏向コイルを表示管に近接して図示していない。

【0029】帰線キャパシタ C_s と測定用抵抗 R_m の接続点に補正回路27の入力端子21を接続する。補正回路27の入力端子23は、メモリ3の出力端子6から変調された信号を受信する。入力端子21及び23を差動増幅器27.1の2個の入力端子に接続する。差動増幅器27.1の出力は、電圧制御発振器(VCO)27.2の制御入力に、二つの入力信号の増幅された差を供給する。VCO27.2の出力端子を補正回路27の出力端子25に接続する。出力端子25は第2クロック信号 $clk2$ を発生させる。また出力端子25をメモリ3の入力端子4.2に接続する。

【0030】補正回路27の動作を以下詳細に説明する。波形発生器15.1により発生する水平偏向電流の基準信号 I_{ref} は、入来ビデオ信号 V_{in} と同一の遅延等を受けている。これらの信号(I_{ref} 、 I_r とR、G及びB)を表示管9に直接供給できる場合、表示スクリーン11に幾何学的に完全な画像を表示する。これらの信号を表示管9に直接供給する代わりに、信号(3チャンネルビデオ信号R、G及びBと水平電流の基準信号 I_{ref})をメモリ3(例えば非同期デュアルポートメモリ)の4個の入力端子(1.R、1.G、1.B及び2)に供給する。ここで一定のクロック(例えば、同期信号に同期した第1クロック信号 $clk1$)でこれらの信号を書き込む。メモリ3の出力端子5.R、5.B、5.G及び6において、これら四つの信号を若干時間後に、出力ビデオ信号 V_{out} 及び変調された基準信号として発生させる。これらの複合信号のタイミングはこの場合変調可能な読み出しクロック周波数(第2クロック信号 $clk2$)に依存する。偏向装置15の出力端子13は、ライン偏向トランジスタTRにライン偏向信号を供給する。

【0031】本発明によれば、メモリ3によって歪められた(遅延された)偏向電流の基準信号と実際の偏向電流とを(制御手段すなわち、例えば、差動増幅器によって)互いに比較し、読み出しクロックの周波数(第2クロック信号 $clk2$)を、例えばVCOによって、これらの電流信号の差が最小となるように補正する。したがって変調された電流の基準信号と偏向電流とは等しくなる。ビデオ信号及び偏向電流の基準信号をメモリ3内で処理した後は、これらの信号はタイミングに関しては一致したままとなるので、この場合ビデオ信号も実際の偏向電流に一致している。(少なくとも I_{ref} が完全である場合)画像の幾何学的図形はこの場合完全となる。

【0032】水平幾何学補正の品質はこの場合、水平方向の偏向電流の実際の波形に依存しない。原理的には、この電流を補正するすべての既存の回路素子を省いても

よい。

【0033】入来ビデオ信号に対する実際の偏向電流の位相は、平均して、メモリ容量の半分が満たされように最適に調整される。この位相は急速に制御できないため(すなわちライン偏向回路が低速であるため)、瞬時的な偏差が発生しうる。満足な制御が行われ、かつ、メモリが十分大きければ、このメモリによりこれらの時間軸誤差を補正することもできる。

【0034】幾多の変更が可能である。出力クロックを、VCOなしでも、例えばコンパレータによって発生させてもよい。このコンパレータは、二つの信号の差が非常に大きくなると、パルス(エッジ)を発生させる。閉制御ループはこのとき最大速度で応答することができる。

【0035】まず入来ビデオ信号の同期信号に同期して発生され、次いでメモリ(例えば、非同期デュアルポートメモリ)によりメモリの読み出しクロックに応じて歪められた(変調された)水平偏向電流の基準信号を、代わりに、メモリの読み出しクロックから直接発生させることもできる。

【0036】本発明の表示装置に用いる補正回路27の他の例としてコンパレータを用いてもよく、このコンパレータは入力端子に各ライン偏向信号及びメモリ内で遅延された基準信号を受信し、出力に供給するクロック信号を発生する。この回路において、このコンパレータは自己発振回路として動作し、このコンパレータの動作によりクロック信号を発生する。

【0037】上述した図示の実施例では、メモリは常に2個のクロック入力端子有するものとして示してある。代わりに、アドレス入力端子を有するメモリを用い、カウンタを介してメモリにクロック信号を供給することもできる。さらに本発明では、メモリがデジタルメモリであろうとアナログメモリであろうと問題とならない。

【0038】(遅延線等のようにより廉価な)逐次アクセスメモリの代わりにランダムアクセスメモリ(RAM)を選択してもよい。

【0039】出力クロック信号(第2クロック信号 $clk2$)を変調する代わりに、メモリの入力クロック信号(第1クロック信号 $clk1$)を変調してもよく、又は二つのクロック信号を逆方向に変調してもよい。

【0040】信号 I_{ref} 及び I_r はすべて幾何学的に完全な画像を実現する補正を行うものであり、これらの補正には、「ブリージング」と称する現象を生ずるEHTの負荷変動の補正を含む。

【0041】ライン偏向電流の形状における偏差に関連する補正を自動的に実現でき、ライン偏向電流の形状はもはや関係なくなる。既存の補正素子を随意にそのまま残しても除去してもよい。

【図面の簡単な説明】

【図1】本発明の表示装置の実施例を示す。

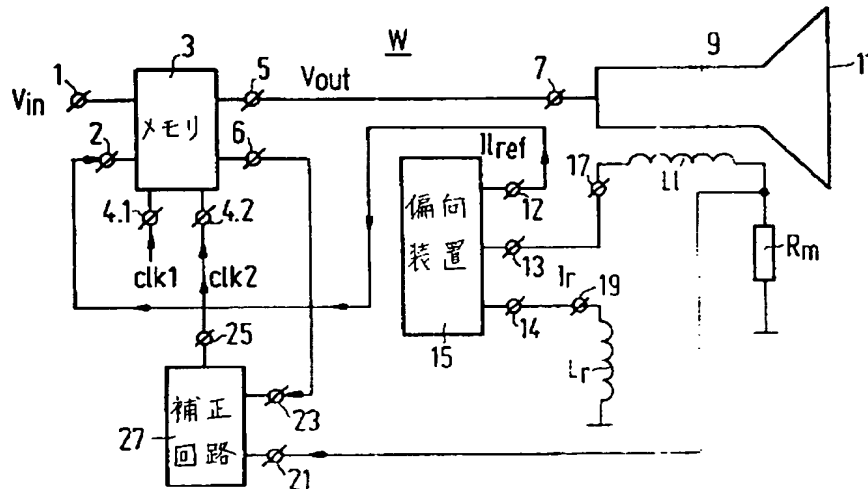
【図2】表示装置の実施例をさらに詳しく示す。

【符号の説明】

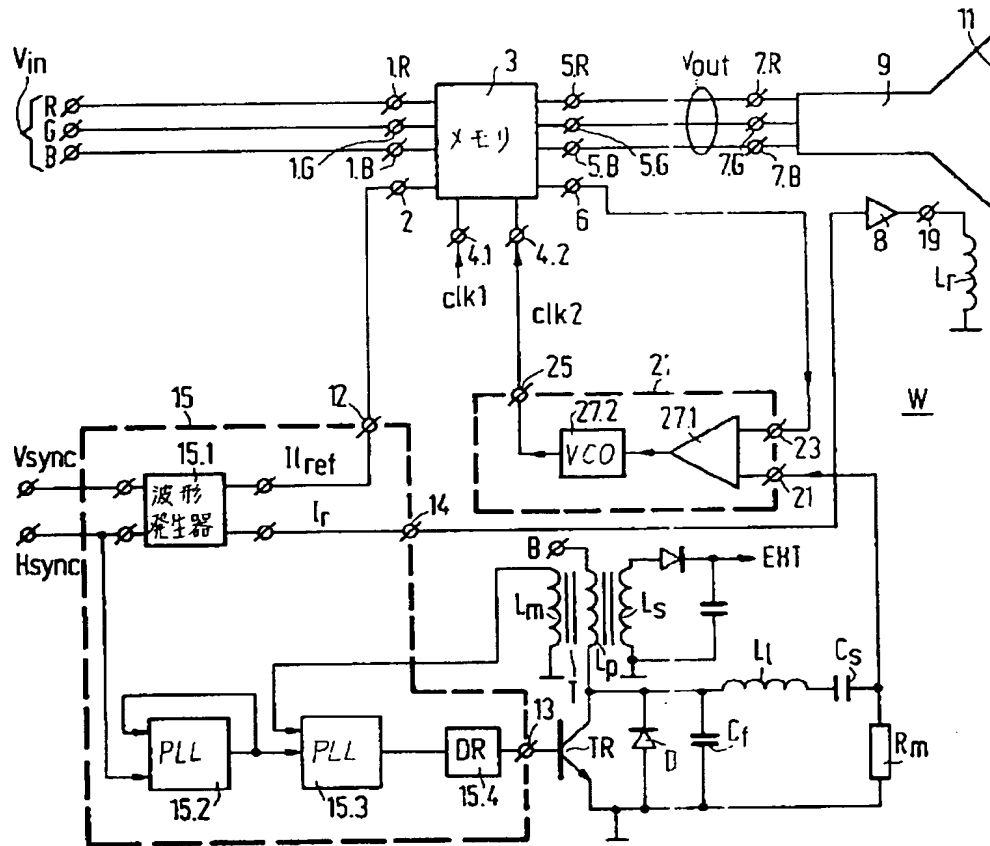
1, 1.R, 1.G, 1.B, 2, 4.1, 4.2, 2 1, 2 3 入力端子
 3 メモリ
 5, 5.R, 5.G, 5.B, 6, 1 2, 1 3, 1 4, 2 5 出力端子
 7, 7.R, 7.G, 7.B 制御電極
 8 増幅器
 9 表示管
 1 1 表示スクリーン
 1 5 偏向装置
 15.1 波形発生器
 15.2, 15.3 PLL
 15.4 制御回路
 1 7, 1 9 端子
 2 7 補正回路
 27.1 差動増幅器
 27.2 VCO
 W 表示装置

V_{in} 入力ビデオ信号
 V_{out} 出力ビデオ信号
 $clk1$ 第1クロック信号
 $clk2$ 第2クロック信号
 L_l ライン偏向コイル
 L_r フィールド偏向コイル
 R_m 測定用抵抗
 I_{lref} 基準信号
 I_r フィールド偏向信号
 H_{sync} 水平同期信号
 V_{sync} 垂直同期信号
 T 変成器
 B 電源
 C_f, C_s 帰線キャパシタ
 D フリーホイールダイオード
 L_m 測定用コイル
 L_p 一次巻線
 L_s 二次巻線

【図1】



【図2】



フロントページの続き

(72)発明者 ジェムス ヨセフ アンソニー マコーマ
 ック
 オランダ国 5621 ベーアー アイन्दー
 フェン フルーネヴァウツウェッハ 1